

(1) Japanese Patent Application Laid-Open No. 8-191239 (1996):
“POWER SEMICONDUCTOR MODULE”

The following is a brief description of the invention disclosed in this publication.

Figure 1 illustrates one embodiment according to the present invention. In this Figure, IGBTs 1 and 2 are connected to a common collector C and an emitter E by an emitter wire 11, respectively, and are further connected to the exterior from C and E through a collector terminal 20 and an emitter terminal 21, respectively. They are also connected to gates on the IGBT1 and 2 through a gate wire 12 from a gate terminal 22 which turns on and off the IGBTs. In a parallel connection circuit of such IGBT, the present invention has a characteristic structure in which gate resistances R_{g1} and R_{g2} are arranged near the gates on the IGBT1 and 2, and a common gate resistance R_{go} is arranged near an exterior of a portion to which each gate is connected in parallel.

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-191239

(43) 公開日 平成 8 年 (1996) 7 月 23 日

(51) Int.Cl.⁶

H 0 3 K 17/12

識別記号

庁内整理番号

9184-5K

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平7-2388

(22) 出願日 平成 7 年 (1995) 1 月 11 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000233273

日立原町電子工業株式会社

茨城県日立市弁天町 3 丁目 10 番 2 号

(72) 発明者 国分 秀弥

茨城県日立市弁天町三丁目 10 番 2 号 日立
原町電子工業株式会社内

(72) 発明者 斉藤 隆一

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 パワー半導体モジュール

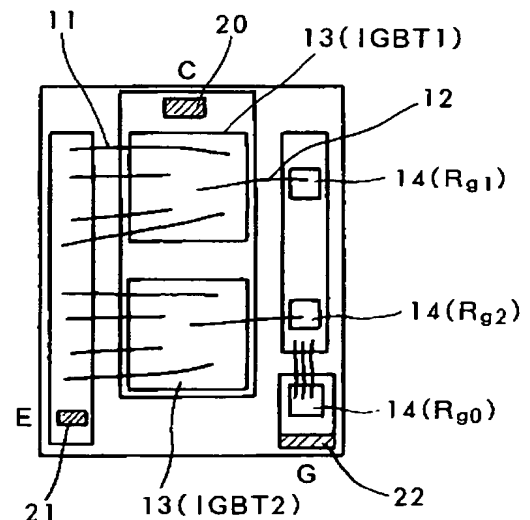
(57) 【要約】

【目的】 並列接続した自己消弧形パワー半導体モジュールの劣化や破壊の生じない、自己消弧形パワー半導体モジュールの並列接続回路を提供する。

【構成】 複数個の自己消弧型パワー半導体モジュールを並列に接続する時、それぞれのパワー半導体チップの各ゲート部に第 1 の抵抗体をパワー半導体チップ毎に内蔵し、かつ、各ゲート端子を並列接続した部分と、モジュール外部ゲート端子との間に、第 2 の抵抗体を内蔵する。

【効果】 並列接続するパワー半導体モジュール内、およびパワー半導体モジュール間のゲート共振を低減できるので、素子の劣化や破壊を防止することができる。

図 1



【特許請求の範囲】

【請求項 1】複数個の自己消弧型パワー半導体チップの各エミッタ、および各コレクタ同士を並列に接続し、それぞれに外部への引出端子を接続し、前記パワー半導体チップをオンオフさせる外部駆動回路からのゲート信号線とエミッタ信号線を前記それぞれのパワー半導体チップのゲート、およびエミッタにそれぞれ接続してなる自己消弧型パワー半導体モジュールにおいて、それぞれのパワー半導体チップの各ゲート配線とモジュール外部ゲート端子との間に第 1 の抵抗体、および第 2 の抵抗体を少なくとも 1 ヶずつ直列に設けることを特徴とするパワー半導体モジュール。

【請求項 2】請求項 1 のパワー半導体モジュールにおいて、それぞれのパワー半導体チップの各ゲート配線の近傍に第 1 の抵抗体を設け、かつ各ゲート配線を並列接続する部分とモジュール外部ゲート端子との間に、第 2 の抵抗体を設けることを特徴とするパワー半導体モジュール。

【請求項 3】請求項 1 のパワー半導体モジュールにおいて、それぞれのパワー半導体チップの各ゲート配線の近傍に設ける第 1 の抵抗体と、各ゲート配線を並列接続する部分とモジュール外部ゲート端子との間に設ける第 2 の抵抗体とが、抵抗値と温度の関係で片側が正、もう片側が負の温度特性を有することを特徴とするパワー半導体モジュール。

【請求項 4】請求項 3 のパワー半導体モジュールにおいて、それぞれのパワー半導体チップの各ゲート配線の近傍に設ける第 1 の抵抗体に、シリコン抵抗体を用い、各ゲート配線を並列接続する部分とモジュール外部ゲート端子との間に設ける第 2 の抵抗体に、サーミスタ、 TiO_2 などの化合物半導体を用いることを特徴とするパワー半導体モジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はパワー半導体モジュールの並列接続回路に係り、特に大電流化、高信頼性化、小型化に好適な高耐圧 IGBT モジュールの構造、および IGBT モジュールの並列接続時のターンオン動作およびターンオフ動作をバランスよく動作させるのに好適な IGBT モジュールに関する。

【0002】

【従来の技術】従来、並列サイリスタの従属点弧回路として、図 8 に示すような回路があり、これらの回路の欠点を補った図 9 に示すような回路が特公平 5-48068 号に提案されている。図 9 の回路は、簡単な回路構成によりターンオン動作の差を $2\mu s$ 程度にできると記載されており、従来サイリスタの従属点弧回路としては好適であった。

【0003】

【発明が解決しようとする課題】前記従来技術には、高

速のスイッチ動作と、ゲート電圧信号によるオン、オフ動作が可能な自己消弧型パワー半導体モジュール（例えば IGBT）の場合において、有効な方法が示されていないかった。

【0004】並列自己消弧型パワー半導体モジュールのターンオン動作に従来技術のような $2\mu s$ 程度の差があると、当然ターンオン時の分担電流が大きく異なってくる。この分担電流はやがて素子のオン電圧で決まる分担電流に落ち着くので、動作周波数が遅い場合はターンオン動作の不均一の影響は比較的小さい。

【0005】しかし、動作周波数が速くなるにしたがって、オン電圧で決まる分担電流に落ち着く間にもターンオフ動作が入ってくることになり、ターンオン動作の不均一の影響が、並列素子両者のターンオフ電流の違いのほか、温度上昇の違いになってくる。

【0006】そして、自己消弧型パワー半導体モジュールのターンオフ特性には、ターンオフ電流や温度が影響するので、ターンオフ動作の不均一の原因となる。このため、従来以上にターンオン動作を揃えておかなければ、ターンオフ動作を揃えることが難しく、遅れてターンオフする自己消弧型パワー半導体モジュールに電流が集中して、素子劣化、あるいは素子破壊にまで至らしめるという問題があった。また、従来技術では、ゲート抵抗の温度依存性が大きいため、動作温度によってスイッチング損失やスイッチング耐量、ノイズ発生が異なり、広い温度範囲にわたって低損失、高破壊耐量を実現することが困難であった。

【0007】また、従来技術では個々の半導体チップ（またはウェハ）毎にゲート抵抗を設けているため、これらの並列動作を安定させることは可能であり、IGBT などのパワー半導体モジュールにおいては、1 ヶのモジュール内の複数個の並列チップの各々にゲート抵抗を設けて動作を安定化できる。しかし、IGBT 等はモジュールを複数個並列に用いることがしばしばあり、この際の並列モジュール間のスイッチング時均一動作化については有効な方法が示されていないかった。

【0008】本発明の目的は、並列接続した場合に自己消弧型パワー半導体モジュールの劣化や破壊を発生させない、パワー半導体モジュールを提供することにある。

【0009】

【課題を解決するための手段】内部に複数個のパワー半導体チップのエミッタ、およびコレクタ同士を並列に接続し、それぞれの主端子を外部へ引出し、内部パワー半導体チップをオン、オフさせる駆動回路からのゲート信号線とエミッタ信号線を前記それぞれのパワー半導体チップのゲート、およびエミッタにそれぞれ接続してなる自己消弧型パワー半導体モジュールにおいて、それぞれのパワー半導体モジュールが複数個のパワー半導体チップを内蔵し、そのパワー半導体チップの各ゲート配線の途中に各パワー半導体チップ毎に第 1 の抵抗体を設け、

かつ、各ゲート部を並列接続した部分とモジュール外部ゲート端子との間に第2の抵抗体を設けるようにした。

【0010】

【作用】チップ毎にゲート抵抗を設けると共に、これらが接続された共通端子部にも抵抗を設けることにより、チップ間の電流振動などの動作不良を低減すると共に、モジュールを並列接続した場合にもモジュール間の電流振動などを低減し、動作を安定化できる。

【0011】また、複数の自己消弧型パワー半導体モジュールの各エミッタ、および各コレクタ同士を並列に接続し、それぞれの中間に外部への引出端子を接続し、前記パワー半導体モジュールをオンオフさせる駆動回路からのゲート信号線とエミッタ信号線を前記それぞれのパワー半導体モジュールのゲート端子、およびエミッタ端子にそれぞれ接続してなる自己消弧型パワー半導体モジュールの並列接続回路において、温度依存性の符号の異なる抵抗体をモジュールの外部端子とモジュール内の個々のパワー半導体チップのゲート電極との間に少なくとも1ヶずつ2種類直列に配置することにより、ゲート抵抗の大きな依存性を低減し、広い動作温度範囲にわたって低損失、高破壊耐量が実現される。

【0012】

【実施例】以下、本発明をIGBTの自己消弧型パワー半導体モジュールを例にして、図面を用いて詳述する。

【0013】図1に本発明の一実施例を示す。同図においてIGBT1、2は、それぞれ共通コレクタCへ、またエミッタワイヤー11によりエミッタEに接続される。そしてCおよびEよりそれぞれコレクタ端子20及びエミッタ端子で外部へ接続される。また、IGBTをオン、オフさせるゲート端子22から、ゲートワイヤー12を経てIGBT1、2上のゲートに接続される。このようなIGBTの並列接続回路において、本発明ではIGBT1、2上のゲートの近傍にゲート抵抗 R_{g1} 、 R_{g2} を配置し、かつ、各ゲートが並列接続された部分の外部近傍に共通のゲート抵抗 R_{go} を配置する構成に特徴を有している。

【0014】この図において、IGBTを高周波（2～10kHz）にてゲート信号を切換え、スイッチングさせた場合、 R_{g1} 、 R_{g2} がないと並列接続したIGBT1とIGBT2との間にゲート電圧の共振が発生するおそれがある。これは、チップの特性の差、エミッタワイヤー11の配線長の差により回路の中でループ電流が流れることによるとみることができる。

【0015】ここで、ゲート抵抗 R_{g1} 、 R_{g2} を付加することにより、ターンオン、ターンオフはいくらかゆるやかになるが、ゲート電圧の共振を抑制することができる。また、図2に示すように、図1のモジュールをさらに複数個並列接続する場合、以上と同様にして、ゲート抵抗 R_g を付加することはゲート電圧の共振を抑ええるのに有効である。図2において、コレクタ引出し端子

20a、エミッタ引出し端子21a、ゲート引出し端子22aを示す。

【0016】高周波スイッチングや低損失特性を損わないためには、 R_{g1} 、 R_{g2} 、 R_{go} の値は、1～10Ω程度が適している。

【0017】図3に本実施例を用いたモジュール構造例を示す。パワー半導体チップ13は絶縁板15上にろう付けされ、さらにベース16に放熱する。パワー半導体チップ13からは、エミッタワイヤー11を経てエミッタ端子21へ、またゲートワイヤー12を経てゲート端子22へ接続されている。さらにモジュールは、気密封止のためケース17でおおわれ、その内部は絶縁樹脂18で満たされている。この図では、 R_{go} は R_{g1} 、 R_{g2} とゲート端子22との間に設けられている。さらに、図4に示すように、図1において R_{g1} 、 R_{g2} にシリコンチップ抵抗を用い、 R_{go} にサーミスタを用いて、 R_{g1} 、 R_{g2} と R_{go} の温度特性を異なるようにすれば、高温時のスイッチング損失も小さくなり、寿命を延ばすことができる。

【0018】また、図5に示すように、 R_{g1} 、 R_{g2} をチップ抵抗でなく、チップ表面に TiO_2 膜を形成し、 R_{g1} 、 R_{g2} の代用としてもよく、パワー半導体チップ周りの接合箇所が少なくなり、信頼性も向上し、さらにコストも低減できる。この場合、 R_{go} はシリコンチップ抵抗としてよい。

【0019】また、図6に示すように、 R_{go} はモジュール内蔵抵抗体でなく、モジュールゲート端子22外部近傍に外付けしても、同様の効果が期待できる。

【0020】また、図7に示すように、 R_{g1} 、 R_{g2} を化合物半導体を含むゲートワイヤー12を採用することで代用しても同様の効果を期待することができる。

【0021】また、 R_{g1} 、 R_{g2} が万一破壊ショートした場合でも、 R_{go} があれば、電流のアンバランスは無い場合よりも発生しにくいという利点がある。

【0022】これら実施例のパワー半導体モジュールはユーザーにとっても、ダンピング抵抗を外付けする手間が省け、組立容易で、信頼性も向上するといった利点もある。

【0023】

【発明の効果】このように、本発明によれば、並列接続するパワー半導体モジュールのゲート共振を低減できるので、素子の劣化や破壊を防止することができる。

【0024】また、モジュール内部の抵抗体の温度特性を選ぶことにより、スイッチング損失を低減でき、モジュールおよびインバータ装置などのシステムの寿命が延びる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す簡略モデル。

【図2】本発明の一実施例をさらに並列配置したモデル。

【図 3】 本発明の一実施例を用いたモジュール構造例。

【図 4】 本発明の一実施例であるゲート抵抗の温度特性を示すグラフ。

【図 5】 本発明の他の実施例。

【図 6】 本発明の他の実施例。

【図 7】 本発明の他の実施例。

【図 8】 本発明の他の従来例。

【図 9】 本発明の他の従来例。

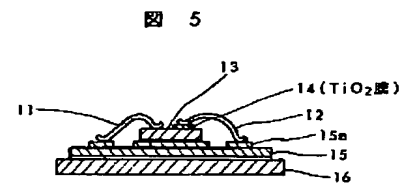
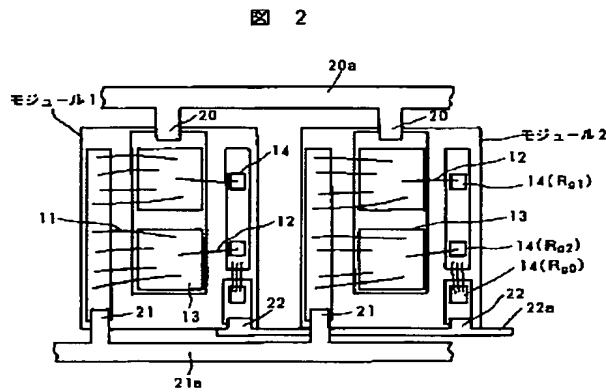
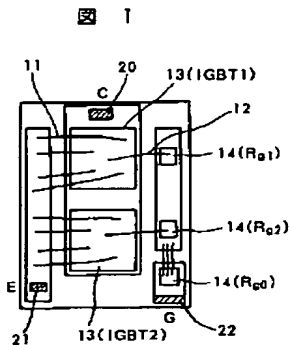
【符号の説明】

11…エミッタワイヤー、12…ゲートワイヤー、13…パワー半導体チップ、14…ゲート抵抗、15…絶縁板、15a…絶縁板上の銅パターン、16…ベース板、17…ケース、18…絶縁樹脂、20…コレクタ端子、20a…コレクタ引出し端子、21…エミッタ端子、21a…エミッタ引出し端子、22…ゲート端子、22a…ゲート引出し端子。

【図 1】

【図 2】

【図 5】

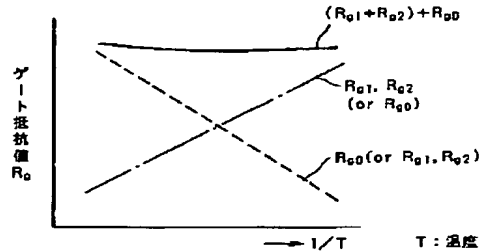
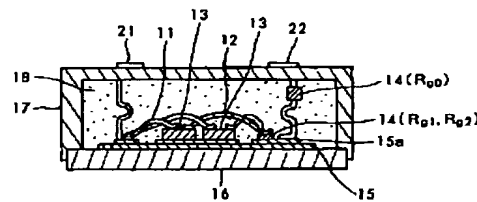


【図 3】

【図 4】

図 3

図 4

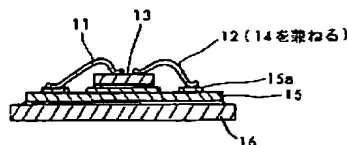
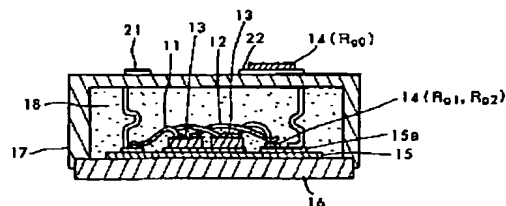


【図 6】

【図 7】

図 6

図 7



【図 8】

【図 9】

図 8

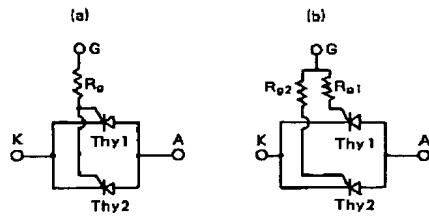
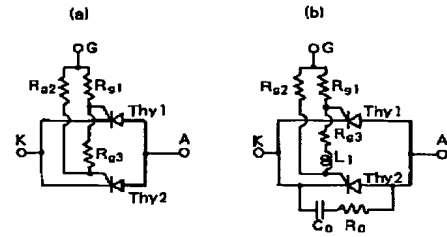


図 9



フロントページの続き

(72)発明者 小池 義彦
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72)発明者 関根 茂樹
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 木村 新
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72)発明者 小池 信也
茨城県日立市幸町三丁目 1 番 1 号 株式会
社日立製作所日立工場内